



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 11308110 A

(43) Date of publication of application: 05 . 11 . 99

(51) Int. Cl

H03M 3/02**// H03M 1/20**

(21) Application number: 10109468

(71) Applicant: ASAHI KASEI MICRO SYST CO LTD

(22) Date of filing: 20 . 04 . 98

(72) Inventor: FUJIMORI ICHIRO

(54) DELTA SIGMA TYPE ANALOG/DIGITAL CONVERTER

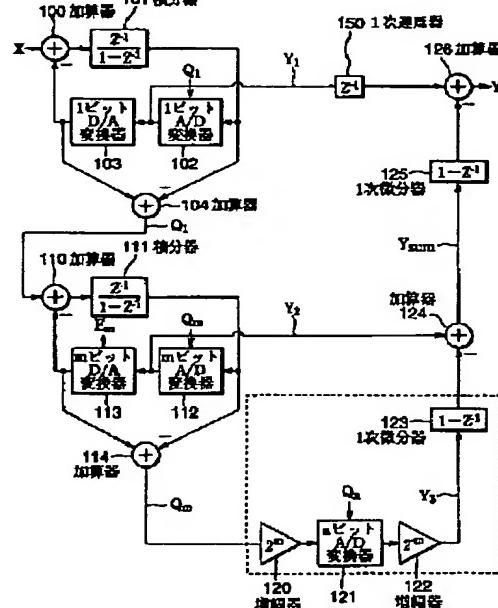
COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the influence of nonlinearity while a resolution is improved by making the delta sigma loop of an initial stage output the quantization signals of one bit and making the delta sigma loop of a final stage output the quantization signals of multiple bits.

SOLUTION: At the time of defining the nonlinear noise of an m-bit D/A converter 113 as E_m , the quantization noise of an n-bit A/D converter 121 as Q_n , the output of a 1-bit A/D converter 102 as Y_1 and the output of an adder 124 as Y_{sum} , the output Y becomes ' $Y = Y_1 Z^{-1} - Y_{sum} (1-z^{-1}) = Xz^{-2} + Q_n 2^{-m} \cdot (1-z^{-1})^2 - E_m \cdot (1-z^{-1})$ '.

The second term ' $Q_n 2^{-m} \cdot (1-z^{-1})^2$ ' of the expression is the one for which secondary noise shaping is performed to ' $Q_n 2^{-m}$ ' to be the quantization noise of the quantizer of $(m+n)$ bits on appearance, a third term ' $E_m \cdot (1-z^{-1})$ ' is the one for which primary noise shaping is performed to the nonlinear noise and the nonlinearity is reduced as well by improving an apparent resolution.



(19)日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-308110

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.⁶

識別記号

F I
H 0 3 M 3/02
1/20

審査請求・未請求・請求項の数5 OJ (合2頁)

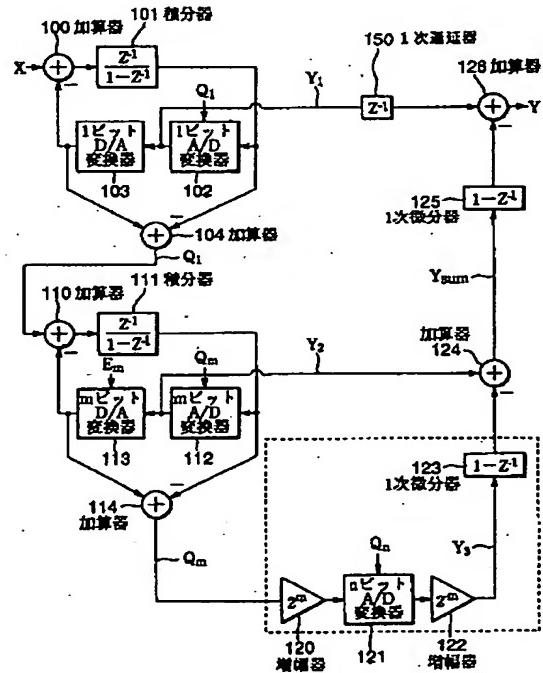
(21)出願番号	特願平10-109468	(71)出願人	594021175 旭化成マイクロシステム株式会社 東京都渋谷区代々木1丁目24番10号
(22)出願日	平成10年(1998)4月20日	(72)発明者	藤森一郎 神奈川県厚木市岡田3050番地 旭化成マイ クロシステム株式会社内

(54) 【発明の名称】 デルタシグマ型アナログデジタル変換器

(57) 【要約】

【課題】量子化器の分解能を上げつつ多ビットD/A変換時の非線形性の影響を軽減する。

【解決手段】加算器100、積分器101、1ビットA/D変換器102、1ビットD/A変換器103、加算器104を含むデルタシグマループと、加算器110、積分器111、mビットA/D変換器112、mビットD/A変換器113、加算器114を含むデルタシグマループとをカスケード接続し、增幅器120とnビットA/D変換器121と増幅器122と、1次微分器123と加算器124と1次微分器125と加算器126とを有する。



【特許請求の範囲】

【請求項1】 デルタシグマーブを複数段カスケード接続したアナログデジタル変換器であって、初段のデルタシグマーブは、入力されるアナログ信号を1ビットの量子化信号を出力するように構成され共に、最終段のデルタシグマーブ内に設けられた第1の量子化手段の入力信号または出力信号もしくはその組み合わされた信号を多ビットの量子化信号にする第2の量子化手段を備えていることを特徴とするデルタシグマ型アナログデジタル変換器。

【請求項2】 入力されるアナログ信号をデジタル信号に変換するアナログデジタル変換器であって、入力信号を積分する積分手段と、この積分手段による積分結果を量子化する量子化手段と、この量子化手段による量子化結果をアナログ信号に変換するデジタルアナログ変換手段と、を含みこのアナログ信号を帰還するようにしたものと1段として複数段カスケード接続した第1の手段と、

前記第1の手段における最終段における量子化手段の入力信号または出力信号もしくはその組み合わされた信号をn(nは2以上の整数)ビットの量子化信号にする第2の手段と、

前記第1の手段と、前記第2の手段とからの出力信号に基づいて、所定のデジタル信号処理を行う信号処理手段と、を備え、

前記第1の手段は、

その初段の量子化手段が1ビットの量子化を行うと共に、その最終段の量子化手段がm(mは1以上の整数)ビットの量子化を行うことを特徴とするデルタシグマ型アナログデジタル変換器。

【請求項3】 請求項2において、さらに、前記第1の手段における最終段の量子化手段の入力信号または出力信号もしくはその組み合わされた信号を2のべき乗倍する第1の増幅手段と、前記第2の手段による量子化信号を2のべき乗分の1とする第2の増幅手段と、を備えたことを特徴とするデルタシグマ型アナログデジタル変換器。

【請求項4】 請求項2および3のいずれかにおいて、前記第2の手段は、

前記第1の手段における最終段の量子化手段の入力信号と出力信号とから量子化ノイズを抽出し、抽出した量子化ノイズを量子化することを特徴とするデルタシグマ型アナログデジタル変換器。

【請求項5】 請求項2および3のいずれかにおいて、前記第2の手段は、

前記第1の手段における最終段の量子化手段の入力信号を量子化し、前記量子化手段の出力信号と加減算することを特徴とするデルタシグマ型アナログデジタル変換器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デルタシグマ型のアナログデジタル変換器(A/D変換器)に関する。

【0002】

【従来の技術】デルタシグマ型A/D変換器は、入力信号Xを必要周波数帯域 f_b のナイキスト周波数 $2f_b$ よりも高い周波数でサンプリングする。これにより、量子化ノイズを高周波数域に押し出すノイズシェイピングを行うことができ、その結果、低分解能の量子化器(一般には1ビットの量子化器)を用い、必要周波数帯域 F_b 内において、高いS/N比でA/D変換を行うことが可能なものである。

【0003】図6には従来の2次のデルタシグマ変調型A/D変換器のブロック構成図であり、この2次のデルタシグマ変調型変換器は、2つの積分器11、13と、1ビットの量子化器14(1ビットA/D変換器15、1ビットD/A変換器16)と、加算器10、12と、乗算器17(係数「2」)とを有し、アナログ入力信号Xをデジタル信号Yに変換する。

【0004】1ビットD/A変換器16の出力信号を Y' とし、1ビットA/D変換器15で発生する量子化ノイズを Q_1 とすると、「 $Y = ((X - Y') \cdot (z^{-1} / (1 - z^{-1})) - 2Y') \cdot (z^{-1} / (1 - z^{-1})) + Q_1$ 」、「 $Y' = Y$ (アナログ値とデジタル値とが等しいと見る)」より、以下の式(1)が得られる。

【0005】

$$Y = Xz^{-2} + Q_1 \cdot (1 - z^{-1})^2 \quad (1)$$

この式によれば、 Q_1 には2次の微分関数 $(1 - z^{-1})^2$ の項が乗じられているので、量子化ノイズ Q_1 は2次のノイズシェイピングが行われることになる。

【0006】周波数と量子化ノイズとの関係を模試的に示すと図7に示すようになる。ここで、 f_b は必要周波数帯域、 $f_s/2$ はサンプリング周波数の半分の値、 $(f_s/2)/f_b$ はオーバーサンプリング比である。ノイズの周波数特性はノイズシェイピングの次数によって定まり、次数が高い程、低域側のノイズは減少すると共に高域側のノイズは増加する。なお、帯域 f_b 外の量子化ノイズはデルタシグマ変調器の後段に設けられるデジタルフィルタで除去される。

【0007】ところで、図6に示したデジタルシグマ型A/D変換器は、量子化器14内に、1ビットのデジタルアナログ変換を行う1ビットD/A16を用いる点に特徴があり、1ビットD/A16は2つのレベルのアナログ信号しか用いないので理想の線形性が得られ、このため、アナログ素子のマッチング等の制限を受けなくなりLSI上での集積化が容易である等の利点を有する。1ビットD/Aの替わりに複数ビットのアナログデジタル変換を行う多ビットD/Aを用いると、3レベル以上のアナログ信号を用いなければならないので、量子化時

の線形性が失われる。

【0008】さて、このようなデジタルシグマ型A/D変換器において、ある必要帯域 f_b 内での高S/N比を達成するためには3つの方法が考えられる。第1は、オーバーサンプリング比を高くすることである。これは図8(a)に示すように、 f_b より周波数の高い f' を設定してオーバーサンプリング比を高くして、必要帯域 f_b 内でノイズを減少させるものであるが、デルタシグマ変調器、デジタルフィルタの高速動作が必要となり、 f_b が高周波帯域の場合には実現が難しいとされている。

【0009】第2には、ノイズシェイピングの次数を上げることが考えられる。図8(b)に示すように、ノイズシェイピングの次数を例えば2次から3次にして必要帯域 f_b 内でノイズを減少させるものであるが、次数を上げるとデルタシグマ変調器の動作が不安定になることが知られており、4次程度が限界とされている。

【0010】第3には、量子化器の分解能を上げることが考えられる。図8(c)に示すように、量子化器の分解能を上げて必要帯域 f_b 内でノイズを減少させるものである。

【0011】そこで、量子化器の分解能を上げるようにしたデルタシグマ型A/D変換器の従来例のブロック構成図を図9、図10に示す。図9に示すものは、図6に示したデルタシグマ型A/D変換器の量子化器14を多ビットにしたものであり、量子化器はmビットA/D変換器25とmビットD/A変換器26とを備える。

【0012】mビットA/D変換器25の量子化ノイズを Q_m 、mビットD/A変換器26の非線形ノイズを E_m とすると、「 $Y = ((X - Y') \cdot (z^{-1} / (1 - z^{-1})) - 2Y') \cdot (z^{-1} / (1 - z^{-1})) + Q_m$ 」、「 $Y' = Y + E_m$ 」となるので、「 $Y = Xz^{-2} + Q_m \cdot (1 - z^{-1})^2 - E_m z^{-1} (1 - z^{-1}) - E_m z^{-1}$ 」なる式が得られる。この式において、「 $E_m z^{-1} (1 - z^{-1}) \ll E_m z^{-1}$ 」が成り立ち、また、簡略化のため「 $-E_m z^{-1}$ 」を「 E_m 」で置き換えると(E_m はノイズ成分のため符号を考慮しなくても良い)、次式(2)が得られる。

【0013】

$$Y = Xz^{-2} + Q_m \cdot (1 - z^{-1})^2 + E_m \quad (2)$$

この式の第2項「 $Q_m \cdot (1 - z^{-1})^2$ 」はmビット量子化ノイズに対して2次のノイズシェイピングをしたもの、第3項 E_m は非線形ノイズであるため、非線形ノイズがそのまま出力されることが分かる。このため、一般に、mビットD/A変換器26のキャリブレーション処理が必要となり、mが大きくなるとキャリブレーションが複雑になるという問題があった。

【0014】このような従来技術は、例えば「J.W.Fattaruso, "Self-calibration techniques for a second order Multi-bit Sigma-delta modulator", IEEE J. of So

lid-state Circuits, vol. 28, no. 12, Dec. 1993, pp. 1216-1223」等の文献に記載されている。

【0015】また、図10に示すものは他の従来技術の構成であり、これは、キャリブレーション処理を複雑にせずに、見かけ上の分解能を上げるものである。図9に示したものとの相違点は、mビットA/D変換器25の量子化ノイズ Q_m を抽出し、これを増幅器31で 2^n 倍した後にnビットA/D変換器32で再度量子化した後、さらに、再量子化の結果を増幅器32で 2^{-n} 倍し、これを2次微分器34で2次のノイズシェイピングを行ったものを、加算器35によって Y_1 (mビットA/D変換器25の出力)と加算している。

【0016】ここで、式(2)を参照すると「 $Y_1 = Xz^{-2} + Q_m \cdot (1 - z^{-1})^2 + E_m$ 」が成立し、また、増幅器31の入力を「 $Q_m + E_m$ 」、増幅器32の出力を Y_2 とすると、「 $Y_2 = ((Q_m + E_m) \cdot 2^n + Q_n) \cdot 2^{-n} = Q_m + E_m + Q_n 2^{-n}$ 」となるので、「 $Y = Y_1 - (1 - z^{-1})^2 Y_2 = Xz^{-2} + E_m - (1 - z^{-1})^2 \cdot E_m - (1 - z^{-1})^2 \cdot Q_n 2^{-n}$ 」となる。この式において、「 $E_m (1 - z^{-1})^2 \ll E_m$ 」が成り立つので、次式(3)が得られる。

【0017】

$$Y = Xz^{-2} + (1 - z^{-1})^2 \cdot Q_n 2^{-n} + E_m \quad (3)$$

この式の第2項「 $(1 - z^{-1})^2 \cdot Q_n 2^{-n}$ 」は、nビットの量子化ノイズを「 $1/2^n$ 」倍しているので、見かけ上(m+n)ビットの量子化器の量子化ノイズとなる「 $Q_n 2^{-n}$ 」に対して2次のノイズシェイピングをしたもの、第3項 E_m は非線形ノイズであるため、非線形ノイズがそのまま出力されることが分かる。この従来技術によれば、見かけ上の分解能を上げることはできるものの、mビットD/A変換器26の非線形性 E_m は依然として存在する。

【0018】このような従来技術は、例えば「T.L.Brooks, et.al, "A Cascaded Sigma-Delta Pipeline A/D Converter with 1.25Mhz signal Bandwidth and 89dB SNR", IEEE J. of Solid-state Circuits, vol. 28, no. 12, Dec. 1997, pp. 1896-1906」等の文献に記載されている。

【0019】

【発明が解決しようとする課題】さて、サンプリング周波数 f_s が回路動作速度の制限で固定された場合、オーバーサンプリング比を小さくすることにより、必要帯域 f_b を広くすることができる。必要帯域 f_b が広くなつた分の帯域内量子化ノイズの増加は、従来技術で説明したように、マルチビットの量子化器を用いて量子化ノイズ自体を減らす事により相殺され、その結果、高帯域、高S/N比のA/D変換が実現できるが、この場合、量子化器を構成する多ビットD/A変換器の非線形性に対する対策が必要になるという問題があった。

【0020】本発明はこのような従来の課題を解決するためになされたもので、その目的は量子化器の分解能を

上げつつ多ビットD/A変換時の非線形性の影響を軽減可能なデルタシグマ型A/D変換器を提供することにある。

【0021】また、本発明の他の目的は、非線形性を完全になくすために、量子化器の分解能を1ビットにし再量子化を行い高次のノイズシェイピングと量子化ノイズの低減を同時に実現するデルタシグマ型A/D変換器を提供することにある。

【0022】

【課題を解決するための手段】上記目的を達成するために、請求項1に係る発明は、デルタシグマループを複数段カスケード接続したアナログデジタル変換器であって、初段のデルタシグマループは、入力されるアナログ信号を1ビットの量子化信号を出力するように構成されていると共に、最終段のデルタシグマループ内に設けられた第1の量子化手段の入力信号または出力信号もしくはその組み合わされた信号を多ビットの量子化信号にする第2の量子化手段を備えていることを特徴とするデルタシグマ型アナログデジタル変換器である。

【0023】この発明によれば、初段ではアナログ信号を1ビット量子化し、最終段では入力信号または出力信号もしくはその組み合わされた信号を多ビット量子化するので、1ビット量子化信号、多ビット量子化信号、およびこの多ビット量子化時の量子化ノイズに対してデジタル信号処理を行って、多ビット量子化時の非線形ノイズや量子化ノイズに対してノイズシェイピングを行うことが可能となる。

【0024】また、請求項2に係る発明は、入力されるアナログ信号をデジタル信号に変換するアナログデジタル変換器であって、入力信号を積分する積分手段と、この積分手段による積分結果を量子化する量子化手段と、この量子化手段による量子化結果をアナログ信号に変換するデジタルアナログ変換手段と、を含みこのアナログ信号を帰還するようにしたものを作成して複数段カスケード接続した第1の手段と、前記第1の手段における最終段における量子化手段の入力信号または出力信号もしくはその組み合わされた信号をn(nは2以上の整数)ビットの量子化信号にする第2の手段と、前記第1の手段と、前記第2の手段とからの出力信号に基づいて、所定のデジタル信号処理を行う信号処理手段と、を備え、前記第1の手段は、その初段の量子化手段が1ビットの量子化を行うと共に、その最終段の量子化手段がm(mは1以上の整数)ビットの量子化を行うことを特徴とするデルタシグマ型アナログデジタル変換器である。

【0025】この発明によれば、第1のA/D変換手段はカスケード接続された複数段のデルタシグマ変調器で構成され、最終段はm(mは1以上の整数)ビットの量子化信号を発生する。さらに、第2のA/D変換手段は、第1のA/D変換手段における最終段のmビット量

子化器の入力信号または出力信号もしくはその組み合わされた信号をnビットで再量子化する。またさらに、第2のA/D変換手段が発生するnビットの再量子化信号に対してノイズシェイピングを行い、第1のA/D変換手段が発生するmビットの量子化信号より減算する信号処理を行う。その結果、アナログデジタル変換器の出力に直接現れるmビットの量子化ノイズは除去され、nビットで再量子化した事による(m+n)ビット分解能相当の低い量子化ノイズのみが現れる。また、ノイズシェイピングの効果によりmビット量子化器が発生する非線形ノイズは低減される。

【0026】また、請求項3に係る発明は、請求項2において、さらに、前記第1の手段における最終段の量子化手段の入力信号または出力信号もしくはその組み合わされた信号を2のべき乗倍する第1の増幅手段と、前記第2の手段による量子化信号を2のべき乗分の1とする第2の増幅手段と、を備えたことを特徴とするデルタシグマ型アナログデジタル変換器である。

【0027】この発明によれば、多ビット量子化時の量子化ノイズに対して、第1の増幅手段と第2の増幅手段とが2のべき乗の乗算を行うようにして、簡易な構成で、量子化ノイズに対してノイズシェイピングを行うことが可能となる。

【0028】また、請求項4に係る発明は、請求項2および3のいずれかにおいて、前記第2の手段は、前記第1の手段における最終段の量子化手段の入力信号と出力信号とから量子化ノイズを抽出し、抽出した量子化ノイズを量子化することを特徴とするデルタシグマ型アナログデジタル変換器。

【0029】この発明によれば、第2の手段によって、簡易な構成で最終段での量子化ノイズを抽出してこれを量子化することが可能となる。さらに、請求項5に係る発明は、請求項2および3のいずれかにおいて、前記第2の手段は、前記第1の手段における最終段の量子化手段の入力信号を量子化し、前記量子化手段の出力信号と加減算することを特徴とするデルタシグマ型アナログデジタル変換器である。

【0030】この発明によれば、簡易な構成で最終段の量子化手段の入力信号を量子化して、量子化手段の出力信号と加減算するようにして、第2の手段を実現できる。

【0031】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照しつつ説明する。図1は、本発明の第1の実施形態のデルタシグマ型A/D変換器のブロック構成図であり、このデルタシグマ型A/D変換器は、入力信号がxで、加算器100、積分器101、1ビットA/D変換器102、1ビットD/A変換器103、加算器104を含むデルタシグマループと、入力信号が1ビットA/D変換器102の量子化ノイズQ₁で、加算器110、積分器111、mビットA/D変換器112、mビット

D/A変換器113、加算器114を含むデルタシグマループとをカスケード接続し、さらに、加算器114の出力であるmビットA/D変換器112の量子化ノイズ Q_n を 2^n 倍する増幅器120と、この増幅結果に対してnビットのA/D変換を行うnビットA/D変換器121と、このデジタル信号を 2^{-n} 倍する増幅器122と、この増幅結果を1次微分する1次微分器123と、この微分結果とmビットA/D変換器112の出力(Y_2)とを加算する加算器124と、この加算結果を1次微分する1次微分器125と、この微分結果と1ビットA/D変換器102の出力(Y_1)を1次遅延器150で遅延させた信号とを加算する加算器126とを有する。なお、この構成において、点線で囲んだ構成要素が存在しないとすれば、一般的なカスケード型デルタシグマ変調器と同じ構成になり、また、nビットA/D変換器121として、パイプライン型、フラッシュ型等様々

$$Y = Xz^{-2} + Q_n 2^{-n} \cdot (1 - z^{-1})^2 - E_n \cdot (1 - z^{-1}) \quad (4)$$

この式の第2項「 $Q_n 2^{-n} \cdot (1 - z^{-1})^2$ 」は、nビットの量子化ノイズを「 $1/2^n$ 」倍しているので、見かけ上(m+n)ビットの量子化器の量子化ノイズとなる「 $Q_n 2^{-n}$ 」に対して2次のノイズシェイピングをしたもの、第3項「 $E_n \cdot (1 - z^{-1})$ 」は、非線形ノイズに対して1次のノイズシェイピングをしたもので、この実施の形態によれば、見かけ上の分解能を上げつつ非線形性も低減可能となる。

【0034】即ち、点線で囲んだ構成要素が存在しないと仮定し、2段目の量子化器をmビットの量子化器で構成し、2段目の入力を1段目での1ビット量子化ノイズ Q_1 とすると、 Y_2 には、 Q_1 と1次でノイズシェイピングされた Q_n が現れる。 Y_2 をさらに1次でノイズシェイピングし、1段目の出力 Y_1 より減算すれば、 Q_1 は除去され、出力Yには2次でノイズシェイピングされたmビットの量子化ノイズのみが現れる。さらに、点線で囲んだ構成要素が存在すると仮定すると、mビットの量子化ノイズ Q_n をnビットA/D変換器121で再量子化するので、図8と同じように(m+n)ビット相当の量子化器の量子化ノイズとなっている。しかしながら、非線形性 E_n は1次微分器125による1次のノイズシェイピングにより大幅に軽減される。因みに、オーバーサンプリング比128では、約63分の1になることが確認された。

【0035】次に、本発明の第2の実施形態のデルタシ

$$Y = Xz^{-3} + Q_n 2^{-n} \cdot (1 - z^{-1})^3 - E_n \cdot (1 - z^{-1})^2 \quad (5)$$

この式の第2項「 $Q_n 2^{-n} \cdot (1 - z^{-1})^3$ 」は、nビットの量子化ノイズを「 $1/2^n$ 」倍しているので、見かけ上(m+n)ビットの量子化器の量子化ノイズとなる「 $Q_n 2^{-n}$ 」に対して3次のノイズシェイピングをしたもの、第3項「 $E_n \cdot (1 - z^{-1})^2$ 」は、非線形ノイズに対して2次のノイズシェイピングをしたもので、この実施の形態によっても、見かけ上の分解能を上げつ

の方式のアナログデジタル変換器を採用可能である。

【0032】今、mビットD/A変換器113の非線形ノイズを E_n 、1ビットA/D変換器102の量子化ノイズ Q_1 、nビットA/D変換器121の量子化ノイズを Q_n 、1ビットA/D変換器102の出力を Y_1 、mビットA/D変換器112の出力を Y_2 、増幅器122の出力を Y_3 、加算器124の出力を Y_{sum} とすると、「 $Y_1 = Xz^{-1} + Q_1 \cdot (1 - z^{-1})$ 」、「 $Y_2 = Q_1 z^{-1} + Q_n 2^{-n} \cdot (1 - z^{-1}) + E_n + Q_n 2^{-n}$ 」、「 $Y_3 = Q_n 2^{-n} \cdot (1 - z^{-1}) + E_n$ 」、「 $Y_{sum} = Y_2 - Y_3 \cdot (1 - z^{-1}) = Q_1 - Q_n 2^{-n} \cdot (1 - z^{-1}) + E_n$ 」となるので、出力Yは「 $Y = Y_1 z^{-1} - Y_{sum} \cdot (1 - z^{-1}) = Xz^{-2} + Q_n 2^{-n} \cdot (1 - z^{-1})^2 - E_n \cdot (1 - z^{-1})$ 」となり、次式(4)が得られる。

【0033】

$$Y = Xz^{-2} + Q_n 2^{-n} \cdot (1 - z^{-1})^2 - E_n \cdot (1 - z^{-1}) \quad (4)$$

グマ型A/D変換器について説明する。図2は、このデルタシグマ型A/D変換器のブロック構成図であり、このデルタシグマ型A/D変換器は、図1に示すものにおいて、1段目のデルタシグマループに2つの積分器101、105を設け、これに応じて乗算器106と加算器107を備えた点と、1次微分器125の替わりに2次微分器127を設けた点に特徴がある。なお、図1に示すものと同一の符号を付した構成要素は、図1に示すものと同一のものである。

【0036】今、mビットD/A変換器113の非線形ノイズを E_n 、1ビットA/D変換器102の量子化ノイズ Q_1 、nビットA/D変換器121の量子化ノイズを Q_n 、1ビットA/D変換器102の出力を Y_1 、mビットA/D変換器112の出力を Y_2 、増幅器122の出力を Y_3 、加算器124の出力を Y_{sum} とすると、「 $Y_1 = Xz^{-2} + Q_1 \cdot (1 - z^{-1})^2$ 」、「 $Y_2 = Q_1 z^{-1} + Q_n 2^{-n} \cdot (1 - z^{-1}) + E_n$ 」、「 $Y_3 = Q_n 2^{-n} \cdot (1 - z^{-1}) + E_n$ 」となり、さらに、「 $Y_{sum} = Y_2 - Y_3 \cdot (1 - z^{-1}) = Q_1 - Q_n 2^{-n} \cdot (1 - z^{-1}) + E_n$ 」となるので、「 $Y = Y_1 z^{-1} - Y_{sum} \cdot (1 - z^{-1})^2 = Xz^{-3} + Q_n 2^{-n} \cdot (1 - z^{-1})^3 - E_n \cdot (1 - z^{-1})^2$ 」となり、次式(5)が得られる。

【0037】

$$Y = Xz^{-3} + Q_n 2^{-n} \cdot (1 - z^{-1})^3 - E_n \cdot (1 - z^{-1})^2 \quad (5)$$

つ非線形性も低減可能となり、しかも第1の実施形態よりも非線形ノイズを低減できる。

【0038】以上説明してきたように、第1、第2の実施形態によれば、見かけ上の分解能を上げつつ非線形性も低減できる。さて、nビットA/D変換器による再量子化が有効なのはデルタシグマ変調器内に設けた量子化器が多ビットの場合だけとは限らない。完全な線形性が

要求され、かつ、量子化ノイズの低減が必要な場合、1ビット量子化器の量子化ノイズを抽出し、nビットA/D変換器により再量子化する方法も考えられる。この場合には、本発明による図1および図2のmビット量子化器は1ビット量子化器に置き換えられる。その結果、出力に現れる量子化ノイズは、nビット相当になり、(m+n)ビットに比べて量子化ノイズが増加するが、完全な線形性が保たれる。

【0039】このような場合でも、本発明は高次で安定なノイズシェイピングを実現できるというメリットがある。図8に示したシングルループ型のものにおいて、1ビット量子化するようにした場合、3次以上のノイズシェイピングでは不安定になってしまうため、入力を減衰させたり、入力振幅を制限することが一般的である。

【0040】このような不具合を解消するための、本発明の第3の実施の形態について説明する。図3に示すように、このデルタシグマ型A/D変換器は、入力信号がxで、加算器100、104、107、積分器101、105、1ビットA/D変換器102、1ビットD/A変換器103、乗算器106(係数2)とを含むデルタシグマループと、入力信号がQ₁で、加算器150、154、157、積分器151、155、1ビットA/D変換器152、1ビットD/A変換器153、乗算器156(係数2)とを含むデルタシグマループとをカスケード接続し、さらに、加算器154の出力に対してnビットのA/D変換を行うnビットA/D変換器121と、このデジタル信号を2次微分する2次微分器131と、この微分結果と1ビットA/D変換器152の出力(Y₂)とを加算する加算器124と、この加算結果を2次微分する2次微分器127と、この微分結果と1ビットA/D変換器102の出力(Y₁)に対して2次遅延部130で2次遅れを与えたものを加算する加算器126とを有する。

【0041】このカスコード型の1ビットデルタシグマ変調器では、3次以上のノイズシェイピングを2次以下の安定なシングルループを継続接続して実現するので、入力の振幅レベルに依存せず安定である。

【0042】さて、第2実施形態のY₁と同様に「Y₁=Xz⁻²+Q₁·(1-z⁻¹)²」、この式において入力Q₁、量子化ノイズQ₂と見ると「Y₂=Q₁z⁻²+Y=Xz⁻³+Q_n2⁻ⁿ·(1-z⁻¹)³-E_n·(1-z⁻¹)²」

この式は図2に示すものと、図2に示すものと同一の伝達関数となっている。この実施の形態によれば、量子化ノイズを抽出するためのアナログ回路が不要となり、実現容易なデジタル加算器に置き換えらるという効果が得られる。

【0048】次に、図5を参照して本発明の第5の実施形態について説明する。本発明が適用可能なのは2段のカスケード型デルタシグマ型A/D変換器に限られない。この実施の形態は、1段目が2次のシングルループ

Q₂·(1-z⁻¹)²、「Y₃=Q₂+Q_n」、「Y_{sub1}=Y₂-Y₃·(1-z⁻¹)²=Q₁z⁻²-Q_n·(1-z⁻¹)²」なので、「Y=Y₁z⁻²-Y_{sub1}·(1-z⁻¹)²=Xz⁻⁴+Q_n·(1-z⁻¹)⁴」となるので次式(6)が得られる。

【0043】

$$Y=Xz^{-4}+Q_n\cdot(1-z^{-1})^4 \quad (6)$$

この式(6)によれば、nビット相当の量子化ノイズQ_nは4次でノイズシェイピングされると共に、非線形成分E_nを完全に消去することができる。従って、この実施の形態によれば、量子化ノイズを低減すると共に完全な線形性を得られ、安定で高次のノイズシェイピングを実現することが可能である。したがって、入力信号に対して特別な処理を行う必要がない。

【0044】図4に第4の実施形態の構成図を示す。これは図2に示すものにおいて、加算器114を取り除き、mビットA/D変換器112の入力(Y₂-Q_n)を増幅器120に入力させると共に、mビットA/D変換器112の出力Y₂を増幅器122の出力と加算する加算器151を備えている。

【0045】本発明においては、再量子化する最終段の信号は量子化ノイズであるとは限らない。即ち、量子化ノイズを必ず抽出しなければならないとは限らない。この実施の形態では、量子化器の入力を再量子化し、さらに、2段目の出力Y₂と再量子化信号Y₃を加算することによっても、図2に示すものと同一の伝達関数および効率が得られる。

【0046】これらをより詳細に説明するために、新たに加算器124、151の出力を夫々Y_{sub1}、Y_{sub2}とすると、「Y₁=Xz⁻²+Q₁·(1-z⁻¹)²」、「Y₂=Q₁z⁻¹+Q_n·(1-z⁻¹)+E_n」、「Y₃=((Y₂-Q_n)·2⁻ⁿ+Q_n)2⁻ⁿ=Y₂-Q_n+Q_n2⁻ⁿ」となり、さらに、「Y_{sub1}=Y₂-Y₃=Q_n-Q_n2⁻ⁿ」、「Y_{sub2}=Y₂-Y₃·(1-z⁻¹)=Q₁z⁻¹+E_n+Q_n2⁻ⁿ·(1-z⁻¹)」となるので、「Y=Y₁z⁻¹-Y_{sub1}·(1-z⁻¹)²=Xz⁻³+Q_n2⁻ⁿ·(1-z⁻¹)³-E_n·(1-z⁻¹)²」となり、次式(7)が得られる。

【0047】

$$Y=Xz^{-3}+Q_n2^{-n}\cdot(1-z^{-1})^3-E_n\cdot(1-z^{-1})^2 \quad (7)$$

デルタシグマ変調器、2、3段目が1次のシングルループデルタシグマ変調器で構成されているものに、本発明を適用したものである。2段目の入力は加算器104の出力で、3段目の入力は加算器174の出力である。

【0049】今、新たに、1ビットA/D変換器172の出力をY₂、mビットA/D変換器112の出力をY₃、増幅器122の出力をY₄、加算器180の出力をY_{sub1}、Y₄を1次微分器160で微分したものとY₃とを加算器124で加算した結果をY_{sub2}とすると、

$$\begin{aligned} & \text{「} Y_1 = X z^{-2} + Q_1 \cdot (1 - z^{-1})^2 \text{」}, \text{「} Y_2 = Q_1 z^{-1} + Q_2 \cdot (1 - z^{-1}) \text{」}, \text{「} Y_3 = Q_2 z^{-1} + Q_3 \cdot (1 - z^{-1}) + E_a \text{」}, \text{「} Y_4 = Q_3 + Q_n z^{-n} \text{」}, \text{「} Y_{\text{sum}2} = Y_3 - Y_4 \cdot (1 - z^{-1}) = Q_1 z^{-1} - Q_n z^{-n} \cdot (1 - z^{-1}) + E_a \text{」}, \text{「} Y_{\text{sum}1} = Y \end{aligned}$$

したがって、この実施形態によれば、 $(m+n)$ ビット相当の量子化ノイズは4次でノイズシェイピングされ、 m ビットD/A変換器113の非線形性は3次でノイズシェイピングされるので、図2や図3のものに比べて必要帯域内における量子化ノイズ、非線形性の双方が軽減されるという効果が得られる。

【0051】

【発明の効果】以上説明したように、この発明によれば、量子化器の分解能を上げつつ多ビットD/A変換時の非線形性の影響を軽減可能なデルタシグマ型A/D変換器を実現できる。

【0052】また、量子化器の分解能を1ビットにし再量子化を行い高次のノイズシェイピングを用いて、非線形性を完全に除去可能なデルタシグマ型A/D変換器を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態のデルタシグマ型A/D変換器のブロック構成図である。

【図2】本発明の第2の実施の形態のデルタシグマ型A/D変換器のブロック構成図である。

【図3】本発明の第3の実施の形態のデルタシグマ型A/D変換器のブロック構成図である。

【図4】本発明の第4の実施の形態のデルタシグマ型A/D変換器のブロック構成図である。

【図5】本発明の第5の実施の形態のデルタシグマ型A/D変換器のブロック構成図である。

【図6】従来のデルタシグマ型A/D変換器のブロック構成図である。

【図7】従来技術の説明図である。

$$\begin{aligned} & z z^{-1} - Y_{\text{sum}2} \cdot (1 - z^{-1}) = Q_1 z^{-2} + Q_n z^{-n} \cdot (1 - z^{-1}) - E_a \cdot (1 - z^{-1}) \text{となるので、「} Y = Y_1 z^{-2} - Y_{\text{sum}1} \cdot (1 - z^{-1})^2 \text{」より次式(8)} \end{aligned}$$

が得られる。

【0050】

$$Y = X z^{-4} + Q_n z^{-n} \cdot (1 - z^{-1})^4 + E_a \cdot (1 - z^{-1})^3 \quad (8)$$

【図8】従来技術の説明図である。

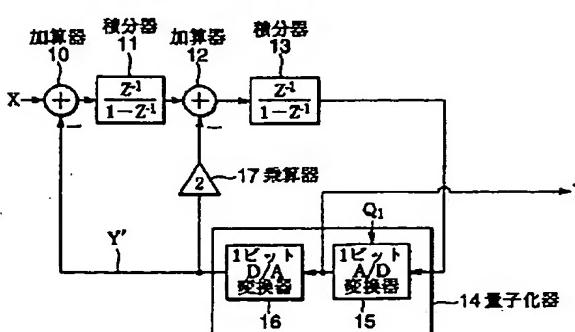
【図9】従来のデルタシグマ型A/D変換器のブロック構成図である。

【図10】従来のデルタシグマ型A/D変換器のブロック構成図である。

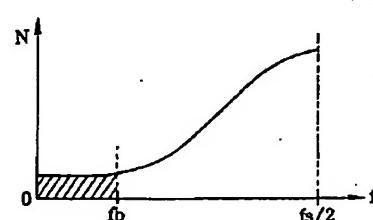
【符号の説明】

- 100 加算器
- 101 積分器
- 102 1ビットA/D変換器
- 103 1ビットD/A変換器
- 104 加算器
- 106 乗算器
- 107 加算器
- 110 加算器
- 111 積分器
- 112 mビットA/D変換器
- 113 mビットD/A変換器
- 114 加算器
- 120 増幅器
- 121 nビットA/D変換器
- 122 増幅器
- 123 1次微分器
- 124 加算器
- 125 1次微分器
- 126 加算器
- 127 2次微分器
- 130 2次遅延器
- 131 2次微分器
- 150 1次遅延器

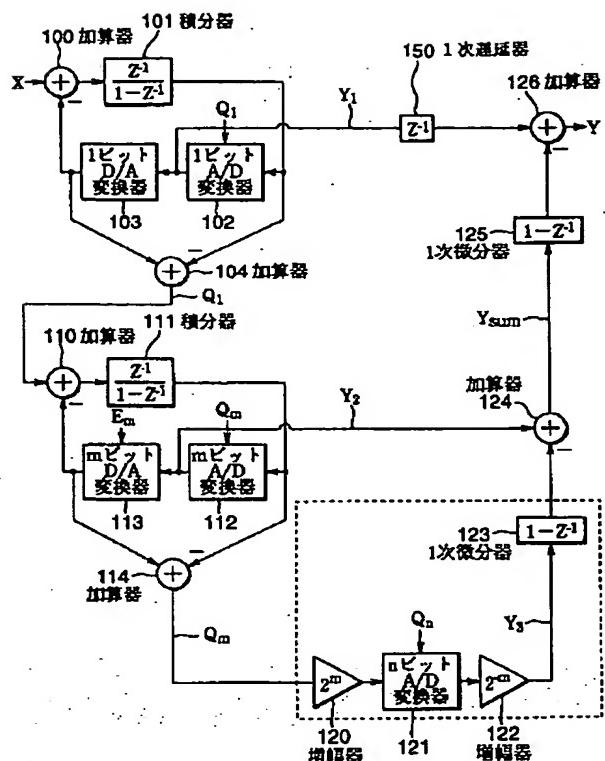
【図6】



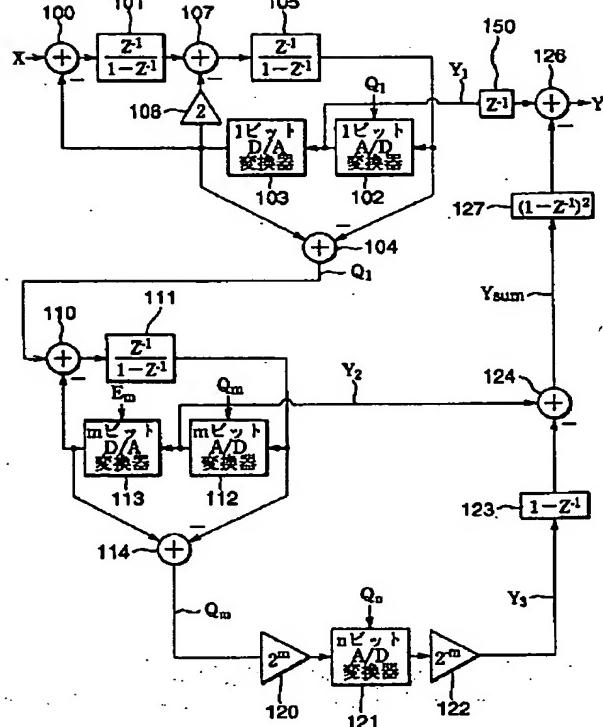
【図7】



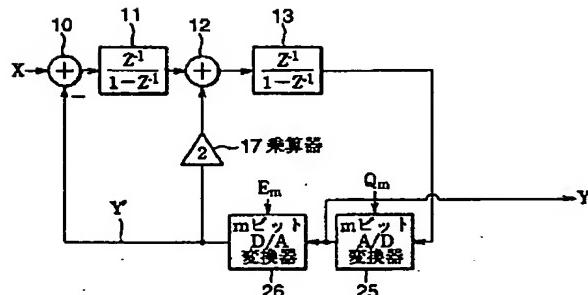
〔図1〕



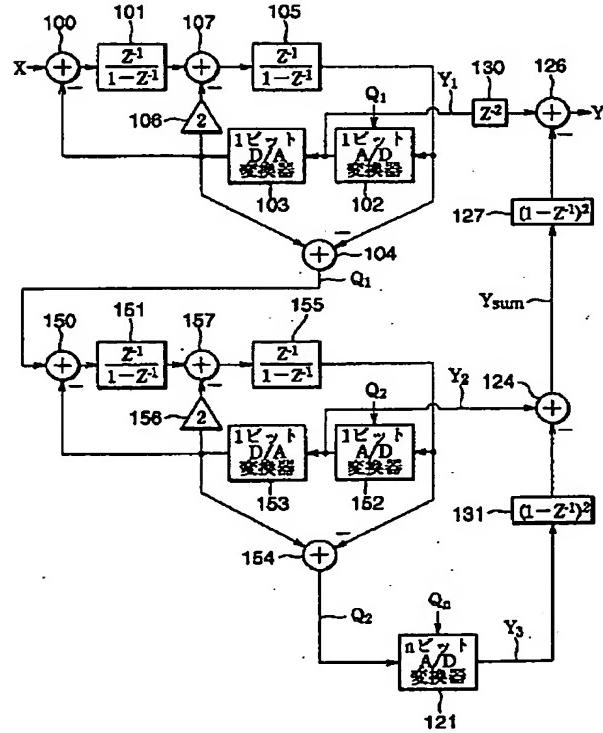
【図2】



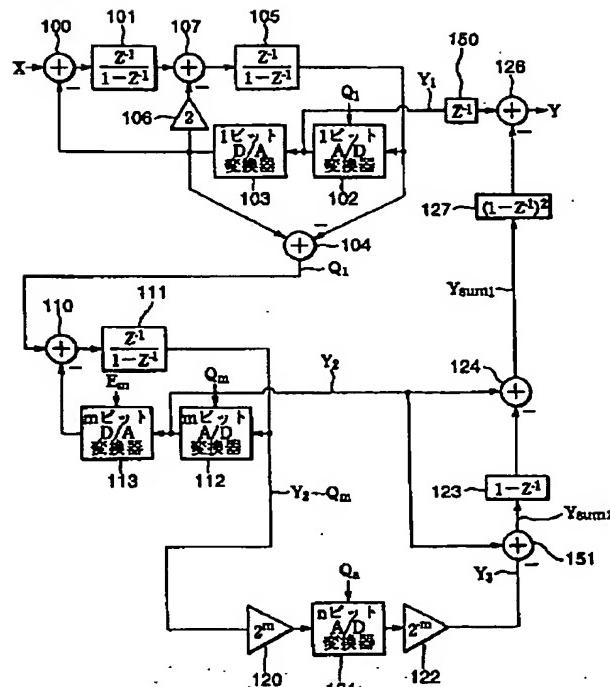
(图9)



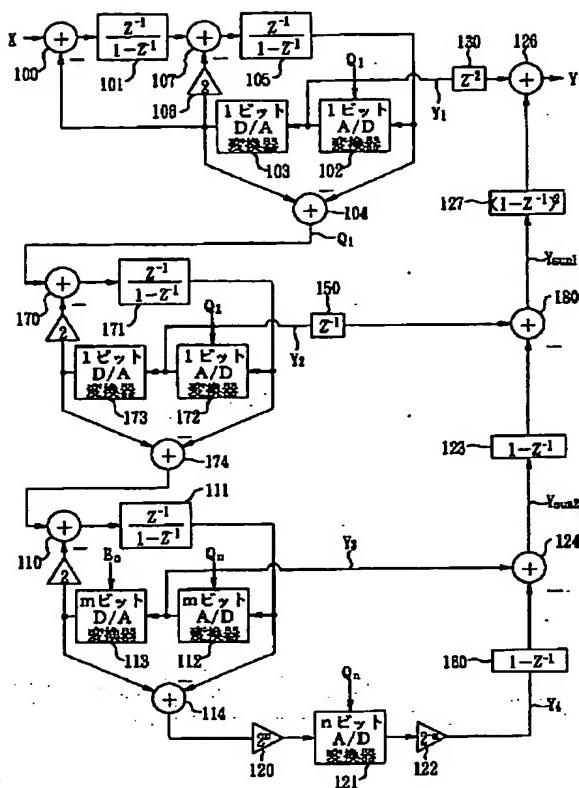
【図3】



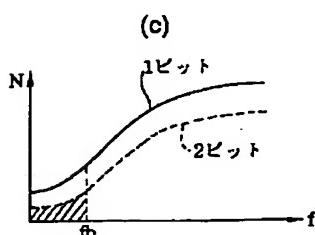
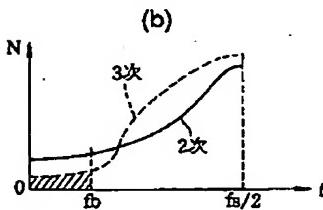
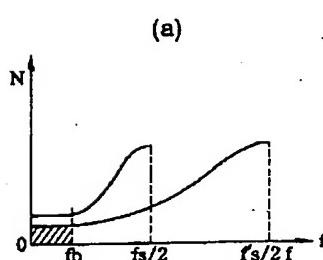
【図4】



【図5】



【図8】



【図10】

